



PATENT  
ATTORNEY DOCKET NO. 053785-5158

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Application of: )  
Seok-Woo LEE )  
Application No.: 10/695,897 ) Group Art Unit: 2811  
Filed: October 30, 2003 ) Examiner: Not Assigned

For: METHOD OF FORMING POLYSILICON THIN FILM TRANSISTOR

Commissioner for Patents  
Arlington, VA 22202

Sir:

**SUBMISSION OF PRIORITY DOCUMENT**

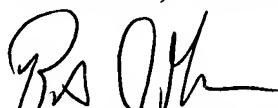
Under the provisions of 35 U.S.C. § 119, Applicants hereby claim the benefit of the filing date of Korean Application No. 2002-0067120, filed October 31, 2002 for the above-identified United States Patent Application.

In support of Applicants' claim for priority, filed herewith is one certified copy of the above.

Respectfully submitted,

**MORGAN, LEWIS & BOCKIUS LLP**

By:

A handwritten signature in black ink, appearing to read "RJG".

Robert J. Goodell, Reg. No. 41,040

Dated: March 4, 2004

MORGAN, LEWIS & BOCKIUS LLP  
1111 Pennsylvania Avenue, NW  
Washington, D.C. 20004  
202-739-3000



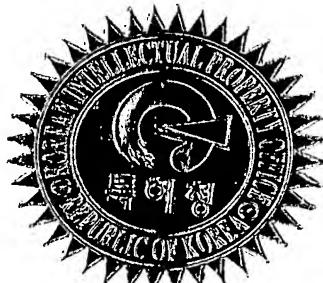
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출 원 번 호 : 10-2002-0067120  
Application Number

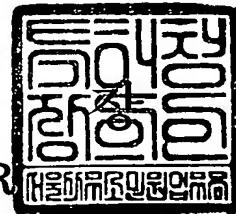
출 원 년 월 일 : 2002년 10월 31일  
Date of Application OCT 31, 2002

출 원 인 : 엘지.필립스 엘시디 주식회사  
Applicant(s) LG.PHILIPS LCD CO., LTD.



2003 년 10 월 17 일

특 허 청  
COMMISSIONER



## 【서지사항】

【서류명】	특허출원서		
【권리구분】	특허		
【수신처】	특허청장		
【참조번호】	0001		
【제출일자】	2002. 10. 31		
【발명의 명칭】	폴리 실리콘 박막 트랜지스터 제조방법		
【발명의 영문명칭】	method for thin film transistor using poly silicon		
【출원인】			
【명칭】	엘지 .필립스엘시디(주)		
【출원인코드】	1-1998-101865-5		
【대리인】			
【성명】	정원기		
【대리인코드】	9-1998-000534-2		
【포괄위임등록번호】	1999-001832-7		
【발명자】			
【성명의 국문표기】	이석우		
【성명의 영문표기】	LEE, Seok-Woo		
【주민등록번호】	700322-1496611		
【우편번호】	431-050		
【주소】	경기도 안양시 동안구 비산동 1102번지 관악아파트 138동 1107호		
【국적】	KR		
【심사청구】	청구		
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인 정원기 (인)		
【수수료】			
【기본출원료】	20	면	29,000 원
【가산출원료】	4	면	4,000 원
【우선권주장료】	0	건	0 원
【심사청구료】	6	항	301,000 원
【합계】	334,000 원		
【첨부서류】	1. 요약서·명세서(도면)_1통		

**【요약서】****【요약】**

본 발명은 폴리 실리콘을 이용한 박막 트랜지스터 제조 방법에 관한 것이다.

상기한 목적을 달성하기 위해 본 발명에 의한 박막 트랜지스터의 제조방법은 투명한 절연기판상에 버퍼층을 형성하는 단계와; 상기 버퍼층 상에 비정질 실리콘 막을 전면에 형성하는 단계와; 상기 비정질 실리콘막을 레이저를 이용한 SLS결정화법에 의해 결정화된 폴리 실리콘 막을 형성하는 단계와; 상기 결정화된 폴리 실리콘막을 패터닝하여 액티브층을 형성하는 단계와; 상기 액티브층이 형성된 기판을 H<sub>2</sub> 분위기의 챔버내에서 RTA(rapid thermal annealing)을 진행하여 액티브층의 표면 거칠기를 개선하는 단계와; 상기 액티브층 표면이 개선된 기판을 챔버내에서 RTO(rapid thermal oxidation)을 진행하여 게이트 산화막을 형성하는 단계와; 상기 게이트 산화막이 형성된 기판에 금속물질을 증착하는 단계를 포함한다..

**【대표도】**

도 7g

**【색인어】**

레이저결정화, SLS결정화, 폴리실리콘, 박막트랜지스터, RTA, RTO, 표면거칠기

**【명세서】****【발명의 명칭】**

폴리 실리콘 박막 트랜지스터 제조방법{method for thin film transistor using poly silicon}

**【도면의 간단한 설명】**

도 1a 내지 1c는 SLS 방법에 의해 비정질 실리콘막을 결정화하는 과정을 도시한 도면.

도 2는 데이터 구동회로와 게이트 구동회로가 기판에 실장된 어레이 기판을 개략적으로  
도시한 평면도

도 3은 표시부의 박막 트랜지스터 단면도.

도 4는 구동부 CMOS 박막 트랜지스터의 단면도.

도 5는 어레이기판상의 전단게이트 방식의 스토리지 캐패시터를 간략히 나타낸 평면도.

도 6은 도 5를 A-A에 따라 절단한 단면도.

도 7a 내지 도 7g는 본 발명에 따른 박막 트랜지스터 제조 방법을 도시한 공정 단면도.

< 도면의 주요 부분에 대한 부호의 설명 >

300 : 투명기판

305 : 버퍼층

315a: 액티브층

315b : LDD층

315c : n형 오믹콘택층

320 : 게이트 산화막

330 : 게이트 전극                  340 : 층간 절연막

345a, 345b : 반도체층 콘택홀    350 : 소스 전극

355 : 드레인 전극                  360 : 보호막

365 : 드레인 콘택홀              370 : 화소전극

### 【발명의 상세한 설명】

#### 【발명의 목적】

#### 【발명이 속하는 기술분야 및 그 분야의 종래기술】

<16> 본 발명은 박막 트랜지스터 제조방법에 관한 것으로서, 더욱 상세하게는 폴리 실리콘을 이용한 박막 트랜지스터 제조 방법에 관한 것이다.

<17> 최근 정보화 사회로 시대가 급발전함에 따라 박형화, 경량화, 저 소비전력화 등의 우수한 특성을 가지는 평판 표시장치(flat panel display)의 필요성이 대두되었는데, 그 중 색 재현성 등이 우수한 액정 표시 장치(liquid crystal display)가 활발하게 개발되고 있다.

<18> 일반적으로 액정 표시 장치는 전계 생성 전극이 각각 형성되어 있는 두 기판을 두 전극이 형성되어 있는 면이 마주 대하여 배치하고 두 기판 사이에 액정 물질을 삽입한 다음, 두 전극에 전압을 인가하여 생성되는 전기장에 의해 액정 분자를 움직임으로써 액정 분자의 움직임에 따라 달라지는 빛의 투과율에 의해 화상을 표현하는 장치이다.

<19> 액정 표시 장치의 하부 기판은 스위칭 소자인 박막 트랜지스터를 포함하는데, 박막 트랜지스터에 사용되는 액티브층은 비정질 실리콘(amorphous silicon ; a-Si:H)이 주류를 이루고

있다. 이는 비정질 실리콘이 저온에서 저가의 유리 기판과 같은 대형 기판 상에 형성하는 것이 가능하기 때문이다.

<20> 그런데, 이러한 비정질 실리콘을 이용한 박막 트랜지스터를 구동하기 위해서는 구동 회로가 필요하다. 구동 회로는 다수의 CMOS(complementary metal-oxide-semiconductor) 소자를 포함하는데, 이러한 CMOS 소자를 형성하기 위해서는 단결정 실리콘(single crystal silicon)이 이용된다.

<21> 따라서, 액정 표시 장치는 비정질 실리콘으로 제작된 박막 트랜지스터 어레이 기판에 단결정 실리콘으로 제작된 고밀도 집적 회로(large scale integration)를 TAB(tape automated bonding) 등의 방법으로 연결하여 구동한다. 그러나, 구동 회로의 가격이 매우 높기 때문에 이와 같은 액정 표시 장치는 가격이 높은 단점이 있다.

<22> 근래에 들어 폴리 실리콘(poly-Si)을 이용한 박막 트랜지스터를 채용하는 액정 표시 장치가 널리 연구 및 개발되고 있다. 폴리 실리콘을 이용한 액정 표시 장치에서는 박막 트랜지스터와 구동 회로를 동일 기판 상에 형성할 수 있으며, 박막 트랜지스터와 구동 회로를 연결하는 과정이 불필요하므로 공정이 간단해진다. 또한, 폴리 실리콘은 비정질 실리콘에 비해 전계효과 이동도가 100 내지 200 배정도 더 크므로 응답 속도가 빠르고, 온도와 빛에 대한 안정성도 우수한 장점이 있다.

<23> 이러한 폴리 실리콘은 직접 증착(as-deposition)하거나, 플라즈마 화학 기상 증착법(plasma enhanced chemical vapor deposition) 또는 저압 화학 기상 증착법(low pressure chemical vapor deposition)으로 비정질 실리콘을 증착한 후 이를 결정화함으로써 형성할 수 있다.

<24> 비정질 실리콘을 이용하여 폴리 실리콘을 형성하는 방법으로는 고상 결정화(SPC : solid phase crystallization) 방법, 금속유도 결정화(metal induced crystallization : MIC) 방법, 그리고 레이저 열처리(laser annealing) 방법, 순차측면고상법(sequential lateral solidification : 이하 SLS 방법이라고 함) 등이 있다.

<25> 이중에서 최근 널리 이용되는 SLS 방법은 실리콘의 그레인의 실리콘 액상영역과 실리콘 고상영역의 경계면에서 그 경계면에 대하여 수직 방향으로 성장한다는 사실을 이용한 것으로, 레이저 에너지의 크기와 레이저빔의 조사 범위를 적절하게 이동하여 그레인을 소정의 길이만큼 측면 성장시킴으로써, 실리콘 그레인의 크기를 향상시킬 수 있는 비정질 실리콘 박막의 결정화 방법(Robert S. Sposilli, M. A. Crowder, and James S. Im, Mat. Res. Soc. Symp. Proc. Vol. 452, 956~957, 1997)이다. 상기 SLS 방법은 기판 상에 실리콘 그레인의 크기가 큰 폴리 실리콘 박막을 형성할 수 있다.

<26> 이러한 SLS 결정화 방법에 대하여 이하 첨부한 도면을 참조하여 설명한다.

<27> 도 1a 내지 도 1c에는 SLS 방법에 의해 비정질 실리콘막을 결정화하는 과정을 도시하였다.

<28> 우선 상기 SLS 결정화 과정을 진행하기 전에 투명한 기판상에 버퍼층을 산화실리콘( $SiO_2$ )을 전면 증착하여 형성한다. 이후 비정질 실리콘을 상기 버퍼층 위에 전면 증착하여 비정질 실리콘막을 형성한다.

<29> 먼저, 도 1a에 도시한 바와 같이 비정질 실리콘막(20)의 A 영역에 레이저빔을 1차 조사하여 결정을 성장시킨다. 실리콘은 액상영역과 고상영역의 경계면에서부터 측면 성장을

하므로, 레이저빔이 조사된 영역(A)의 양끝에서부터 그레인(22)이 성장되어 결정이 만나는 부분(IIa선)에서 성장을 멈춘다.

<30> 이어, 도 1b에 도시한 바와 같이 비정질 실리콘막(20)의 B 영역에 레이저빔을 2차 조사하여 결정을 성장시킨다. 이때, B 영역은 레이저빔이 1차 조사된 영역(도 2a의 A 영역)의 일부를 포함하는데, 레이저빔이 조사된 B 영역의 경계에서부터 결정이 성장되므로, A 영역과 B 영역이 일부 중첩되는 영역(AB 영역)에서는 레이저빔의 1차 조사시 생성된 그레인(도 2a의 22)이 결정화 핵으로 작용하여 성장이 이루어진다. 이러한 결정 성장은 IIb선에서 멈추게 되며, 도시한 바와 같이 2차 레이저빔 조사 후에는 더욱 큰 그레인(23)이 생성된다.

<31> 다음, 도 1c에 도시한 바와 같이 비정질 실리콘막(20)의 C 영역에 레이저빔을 3차 조사하여 결정을 성장시키는데, 이때의 C 영역은 레이저빔이 2차 조사된 B 영역의 일부를 포함한다. 따라서, C 영역 중 B 영역과 일부 중첩되는 영역(BC 영역)에 형성되는 그레인은 레이저빔의 2차 조사시 생성된 그레인(도 2b의 23)이 결정화 핵으로 작용하여 더욱 큰 그레인(24)이 성장된다.

<32> 이와 같은 방법으로 레이저빔 조사를 반복하여 비정질 실리콘이 형성된 박막 전체를 주사(scanning)함으로써, 그레인의 크기가 큰 폴리 실리콘을 제작할 수 있다. 또한 같은 위치에 조사되는 레이저빔의 회수가 적어지므로 수율이 높아진다.

<33> 그러나, SLS 결정화 공정에서도 측면성장 영역간에 의도하지 않은 작은 그레인 영역이 형성되므로, 보다 많은 샷을 사용하게 되는데, 이럴 경우에 그레인 경계영역의 교차지점인 "II"영역에서 뾰족한 융기가 발생하기 쉬워, 폴리 실리콘의 표면이 거칠어지게 되는 문제가 발생한다. 상기 문제는 차후 다시 언급하기로 한다.

<34> 전술한 실리콘 결정화 방법은 구동 소자 또는 스위칭 소자를 제작하는데 적용할 수 있다. 일반적으로 액정표시장치의 해상도가 높아지면 신호선과 주사선의 패드 피치가 좁아져 일반적인 구동회로 실장방법인 TCP(Tape carrier package)는 본딩(bonding)자체가 어려워진다. 그러나, 폴리 실리콘으로 기판에 직접 구동회로를 만들면 구동 IC비용도 줄일 수 있고 실장도 간단해 진다.

<35> 도 2는 데이터 구동회로(134a)와 게이트 구동회로(134b)가 기판에 실장된 어레이 기판을 개략적으로 도시한 평면도이다.

<36> 도시한 바와 같이, 액정패널(130)은 크게 표시부(132)와 구동부(135)로 구성할 수 있으며, 상기 표시부(132)는 스위칭 소자(미도시)가 구성되고, 상기 구동부에는 구동회로(134a, 134b)를 구성하는 CMOS소자가 구성된다.

<37> 상기 CMOS소자(C)는 도시한 바와 같이, N형 트랜지스터(C1)와 P형 트랜지스터(C2)를 결합시킨 상보형 MOS소자이며 인버터로 동작하는 회로로서, 극히 작은 전력을 소모하는 장점이 있으므로 구동회로를 구성하는 구동소자로 사용된다.

<38> 상기 CMOS소자는 빠른 동작특성을 필요로 하므로 전술한 바와 같은 폴리 실리콘층을 액티브층으로 사용하며, 상기 스위칭 소자 또한 폴리 실리콘층을 액티브층으로 사용하게 되면 빠른 이동도(mobility)를 얻을 수 있기 때문에 액정패널의 화질이 개선되는 장점이 있다.

<39> 상기 구동소자와 스위칭 소자는 동시에 제작할 수 있으며 이하, 도면을 참조하여 간략히 설명한다.

<40> 도 3과 도 4는 상기 스위칭 소자와 CMOS소자의 단면을 도시한 단면도이다.

<41> 도 3은 표시부의 스위칭 소자(T)이고, 도 4는 구동부의 CMOS소자(C)이다.

<42> 먼저, 스위칭 소자영역과 CMOS소자 영역이 정의된 투명한 절연 기판(150)상에 질화 실리콘(SiNx) 또는 산화 실리콘(SiO<sub>2</sub>)을 증착하여 버퍼층(buffer layer)(152)을 형성한다. 다음으로, 상기 버퍼층(152)상부에 수소를 포함한 비정질 실리콘(a-Si:H)을 증착한 후 탈수소화 과정을 거친다. 다음으로, 상기 탈수소화 과정을 거친 비정질 실리콘층을 결정화하여 폴리 실리콘층으로 형성한 후, 폴리실리콘층을 소정의 형상으로 패터닝 한다. 이때 상기 폴리실리콘층은 스위칭 소자영역(T)과 CMOS 소자영역(C)에 동시에 구성되며, 상기 각 소자영역(T,C)에 패터닝 된 폴리 실리콘층(154, 156, 158)은 각각 액티브 채널영역(154a, 156a, 158a)과 불순물 영역(154b, 156b, 158b)으로 정의된다.

<43> 다음으로, 상기 패터닝된 폴리실리콘층(154, 156, 158)의 상부에 절연막(160)을 형성한 후, 상기 각 액티브 영역(154, 156, 158)의 상부에 게이트전극(162, 164, 166)을 형성한 후, 상기 게이트 전극(162, 164, 166)이 형성된 기판(150)의 전면에 중간 절연막(168)을 형성한 후 이를 패터닝하여, 상기 스위칭 소자(T)와 구동소자(n형 박막트랜지스터와 p형 박막트랜지스터)(C)의 각 불순물 영역(154b, 156b, 158b)을 노출한다.

<44> 다음으로, 상기 노출된 불순물 영역(154b, 156b, 158b)에 이온을 도핑하게 되는데, 상기 스위칭 소자(T)는 n형이고, 상기 구동소자(N) 중 제 1 소자(C1)가 n형 이므로 이를 영역을 제외한 나머지 영역은 포토레지스트와 같은 수단으로 가려서 이온을 도핑한다. 이후 상기 n+이온이 도핑된 영역을 차단하고 상기 구동소자 중 제 2 소자(C2)의 불순물 영역(158b)에 p+이온을 도핑한다.

<45> 다음으로, 상기 각 소자의 불순물 영역과 접촉하는 각 소자의 소스전극(170a, 172a, 174a)과 드레인 전극(170b, 172b, 174b)을 형성한다.

<46> 전술한 바와 같은 공정으로, 화소부의 스위칭소자(T)와 구동부의 CMOS 소자(C)가 제작되며, 상기 각 소자가 구성된 기판(150)의 전면에 절연막인 보호막(176)을 형성하고, 상기 스위칭 소자(T)의 드레인 전극(170b)을 노출한다. 이후 상기 각 드레인 전극(170b)과 접촉하는 투명화소전극(178)을 형성한다.

<47> 그러나, 도 3과 도 4에는 나타내지 않았지만, 언급한대로 SLS 결정화 방법에 의한 폴리실리콘층 구현에 있어서 상기 폴리 실리콘층 표면이 거칠어지는 문제가 발생하며, 전술한 대로 제작한 박막 트랜지스터에 있어서 SLS 결정화에서 발생하는 그레인 경계영역 상에 융기된 부분이 상기 박막 트랜지스터의 채널영역에 위치하는 경우 그레인 경계영역의 융기된 부분에 전계밀집(electric field crowding)이 심해져 게이트 절연막 브레이크다운 전압이 낮아지게 된다.

<48> 또한, 도 5 내지 도 6에 도시한 바와 같이 표시영역의 스토리지 캐패시터(210)가 게이트 배선(205)에 형성되는 전단게이트 방식인 경우 상기 게이트 배선(205)과 스토리지 캐패시터(205)의 하부를 이루는 폴리 실리콘층(200)이 오버랩되는 곳에 있어서 상기 폴리 실리콘층(200)이 패터닝 될 때 그레인 경계영역의 융기된 부분이 상기 폴리 실리콘층(200) 패턴의 에지(edge)에 위치되는 경우 단차에 의한 게이트 배선(205)의 단선이 유발될 수 있다.

### 【발명이 이루고자 하는 기술적 과제】

<49> 본 발명은 상기한 종래의 문제점을 해결하기 위해 안출된 것으로서, 본 발명의 목적은 SLS결정화 기술을 이용하여 결정질 폴리 실리콘층을 형성한 후 RTA공정 진행으로 폴리 실리콘층 표면 거칠기를 개선하여 특성이 우수한 박막 트랜지스터를 제공하는 것이며, 더불어 상기

폴리 실리콘층과 오버랩되는 게이트 배선 단선 가능성을 제거함으로써 불량을 방지하는 것이다.

### 【발명의 구성 및 작용】

<50> 상기한 목적을 달성하기 위해 본 발명에 의한 박막 트랜지스터의 제조방법은 투명한 절연기판상에 버퍼층을 형성하는 단계와; 상기 버퍼층 상에 비정질 실리콘막을 전면에 형성하는 단계와; 상기 비정질 실리콘막을 레이저를 이용한 SLS결정화법에 의해 결정화된 폴리 실리콘막을 형성하는 단계와; 상기 결정화된 폴리 실리콘막을 패터닝하여 액티브층을 형성하는 단계와; 상기 액티브층이 형성된 기판을 H<sub>2</sub> 분위기의 챔버내에서 RTA(rapid thermal annealing)을 진행하여 액티브층의 표면 거칠기를 개선하는 단계와; 상기 액티브층 표면이 개선된 기판을 챔버내에서 RTO(rapid thermal oxidation)을 진행하여 게이트 산화막을 형성하는 단계와; 상기 게이트 산화막이 형성된 기판에 금속물질을 증착하는 단계를 포함한다.

<51> 이때 상기 RTA공정 및 RTO공정은 챔버내 온도가 섭씨 500도 이상이며, 상기 RTA공정 및 RTO공정의 챔버내 진행시간은 60분이하인 것이 특징이다.

<52> 또한, 상기 RTO공정은 O<sub>2</sub>, N<sub>2</sub>O, NO 중 어느 하나의 가스로 이루어진 챔버내 분위기에서 진행된다.

<53> 본 발명에 의한 박막 트랜지스터 제조방법에 있어 상기 비정질 실리콘막 형성후 탈화수소 공정을 더욱 포함한다.

<54> 또한 게이트 금속을 패터닝하여 게이트 전극을 형성하는 단계와; 상기 게이트 전극이 형성된 기판에 충간 절연막을 형성하는 단계와; 상기 충간 절연막이 형성된 기판에 n+, p+ 도핑

을 하는 단계와; 상기 n+와 p+ 도핑된 기판상에 소스 및 드레인 전극을 형성하는 단계와; 상기 소스 및 드레인 전극 위로 보호층을 형성하는 단계를 더욱 포함한다.

<55> 이하, 첨부한 도면을 참조하여 본 발명에 따른 폴리 실리콘 박막 트랜지스터의 제조 방법에 대하여 상세히 설명한다.

<56> 도 7a 내지 도 7g는 본 발명에 따른 박막 트랜지스터 제조 공정도이다.

<57> 우선, 도 7a에 도시한 바와 같이 투명한 절연기판(300) 상에 산화실리콘( $\text{SiO}_2$ )을 전면 증착하여 일정한 두께를 갖는 베퍼층(305)을 형성한다. 이는 비정질 실리콘층을 폴리 실리콘층으로 재결정화할 경우, 열에 의해 기판(300) 내부에 존재하는 알칼리 이온, 예를 들면 칼륨 이온( $\text{K}^+$ ), 나트륨 이온( $\text{Na}^+$ ) 등이 발생할 수 있는데, 이러한 알칼리 이온에 의해 폴리 실리콘층의 막질 특성이 저하되는 것을 방지하기 위해, 기판(300)과 폴리 실리콘층 사이에 베퍼층(305)을 형성하는 것이다. 이후 상기 베퍼층(305) 위로 비정질 실리콘을 전면 증착하여 비정질 실리콘층(310)을 형성한다.

<58> 다음으로 도 7b에 도시한 바와 같이 상기 비정질 실리콘층(310)에 레이저를 이용한 SLS 결정화법을 이용하여 상기 비정질 실리콘층(310)을 결정화하여 폴리 실리콘층(315)을 형성한다. 이때 SLS 결정화법에 의해 상기 폴리 실리콘층(315)의 표면 중 특히 그레인과 그레인 사이 경계영역이 뾰족하게 용융되어 형성되어진다.

<59> 다음으로 도 7c에 도시한 바와 같이 상기 폴리 실리콘층(315)을 마스크 공정을 진행하여 패터닝한다. 상기 폴리 실리콘층(315) 전면에 포토레지스트를 도포한 후 원하는 패턴이 형성된 마스크를 이용하여 노광한다. 이후 상기 포토레지스트를 현상하고 식각 공정을 진행하면 원하는 패턴의 폴리 실리콘층(315)이 형성된다. 이후 남아있는 포토레지스트를 제거한다.

<60> 다음으로 도 7d에 도시한 바와 같이 상기 패터닝 된 폴리 실리콘층(315)이 형성된 기판(300)을 H<sub>2</sub>분위기를 갖는 챔버에서 RTA(Rapid thermal annealing)공정을 진행하여 상기 패터닝 된 폴리 실리콘층(315) 표면의 뾰족한 융기 부분을 둥글게 처리한다.

<61> 이때 챔버내 RTA 진행온도는 최소 섭씨 500도 내지 1000도로 진행하며, 처리시간은 1분 내지 60분으로 한다.

<62> 상기 H<sub>2</sub>분위기 및 섭씨 500도 내지 1000도에서 RTA공정을 진행하면 패터닝된 폴리 실리콘층(315) 표면의 그레인 경계영역의 뾰족한 융기 부분과 상기 폴리 실리콘 패턴 에지의 뾰족한 융기 부분이 둥글게 형태가 바뀌게 된다. 이는 고온의 수소 분위기에서 나타나는 실리콘 이동(migration)현상을 이용하는 것으로, 챔버내 온도가 높을수록 압력이 낮을수록 실리콘 이동이 쉽게 나타나며, 이러한 실리콘 이동은 실리콘 표면의 에너지를 낮추는 방향으로 나타나고 뾰족한 부분이 둥글게 형성되는 것이다. 상기 공정으로 인해 폴리 실리콘층(315) 표면의 그레인 경계영역의 뾰족한 융기부분이 둥글고 넓게 퍼지게 된다.

<63> 다음으로 도 7e에 도시한 바와 같이, 상기 표면 처리된 폴리 실리콘층을 가지는 기판(300)을 상기 RTA를 진행한 챔버에서 상기 챔버의 H<sub>2</sub> 분위기를 산소계 분위기 예를들면 O<sub>2</sub>, N<sub>2</sub>O, NO 등의 가스로 챔버 분위기를 바꾸고, 섭씨 500도 내지 1000도에서 60분이하로 RTO(Rapid Thermal Oxidation)공정을 진행한다. 이는 실리콘 산화막(SiO<sub>2</sub>)(320)을 상기 표면 처리된 폴리 실리콘층(315)에 형성시키는 공정이다. 상기 RTO공정으로 폴리 실리콘층(315) 표면에 실리콘 산화막(320)이 형성되며 형성 두께는 챔버내 온도 및 진행시간에 의존한다. 상기 실리콘 산화막(320)은 게이트 절연막(320)이 된다.

<64> 다음으로 도 7f에 도시한 바와 같이 상기 실리콘 산화막(320)이 형성된 기판(300) 전면에 알루미늄 또는 알루미늄합금 또는 몰리브덴 등의 금속을 증착한 후 마스크 공정을 통해 게

이트 전극(330)을 형성한다. 이후 상기 게이트 전극(330)이 형성된 기판 상에 n- 도핑처리를 하여 폴리 실리콘층에 LDD층(315b)을 형성한 후, 마스크 공정을 통해 n+ 도핑을 처리된 n형 오믹콘택층(315c)을 형성하고, 도시하지 않았지만 구동부의 CMOS 박막트랜지스터에 있어서 마스크 공정을 통해 p+ 도핑처리된 p형 오믹콘택층을 형성한다.

<65> 다음으로 도 7g에 도시한 바와 같이 상기 n형 오믹콘택층(315c)이 형성된 기판(300) 상에, 실리콘 질화막 또는 실리콘 산화막과 같은 무기절연막을 증착한 후, 마스크 공정에 의해 반도체층 콘택홀(345a, 345b)을 가지는 층간절연막(340)을 형성하고, 상기 층간절연막(340)이 형성된 기판(300) 상에, 제 2 금속물질을 증착한 후, 마스크 공정에 의해 패터닝하여 상기 반도체층 콘택홀(345a, 345b)을 통해 오믹콘택층(315c)과 연결되는 소스 및 드레인 전극(350, 355)을 형성한다. 이후 상기 소스 및 드레인 전극(350, 355)이 형성된 기판(300) 상에 실리콘 질화막을 증착하고, 마스크 공정에 의해 드레인 콘택홀을 가지는 보호층(360)을 형성한다. 연속해서 상기 보호층(360)이 형성된 기판(300) 상에 ITO(indium Tin Oxide)를 증착한 후, 마스크 공정에 의해 상기 드레인 콘택홀(365)을 통해 드레인 전극(355)과 연결되는 화소 전극(370)을 형성한다.

<66> 본 발명은 상기한 실시예에 한정되지 아니하며, 본 발명의 정신을 벗어나지 않는 이상 다양한 변화와 변형이 가능하다.

### 【발명의 효과】

<67> 본 발명은 SLS 방법으로 비정질 실리콘을 결정화하여 폴리 실리콘층을 형성하는데 있어서 불가피하게 형성되는 그레인 경계영역의 융기된 뾰족하게 부분을 H<sub>2</sub> 분위기의 RTA(Rapid

Thermal Annealing) 공정을 진행함으로써 상기 그레인 경계영역의 융기된 뾰족한 부분을 등글고 넓게 퍼지게하여 표면을 매끄럽게 개선함으로써 그레인 경계영역과 액티브 패턴 에지로의 전계집중을 줄여 게이트 절연막 브레이크다운 전압의 향상과 험프(hump)특성을 줄이며, 상기 풀리 실리콘층과 오버랩되는 게이트 배선 또는 스토리지 배선의 단선 가능성을 배제하여 불량을 줄임으로써 제조 비용을 줄이고 특성이 우수한 박막 트랜지스터를 제공할 수 있다.

**【특허청구범위】****【청구항 1】**

투명한 절연기판상에 버퍼층을 형성하는 단계와;

상기 버퍼층 상에 비정질 실리콘막을 전면에 형성하는 단계와;

상기 비정질 실리콘막을 레이저를 이용한 SLS결정화법에 의해 결정화된 폴리 실리콘막을 형성하는 단계와;

상기 결정화된 폴리 실리콘막을 패터닝하여 액티브층을 형성하는 단계와;

상기 액티브층이 형성된 기판을 H<sub>2</sub> 분위기의 챔버내에서 RTA(rapid thermal annealing)을 진행하여 액티브층의 표면 거칠기를 개선하는 단계와;

상기 액티브층 표면이 개선된 기판을 챔버내에서 RTO(rapid thermal oxidation)을 진행하여 게이트 산화막을 형성하는 단계와;

상기 게이트 산화막이 형성된 기판에 금속물질을 증착하는 단계를 포함하는 박막 트랜지스터 제작 방법.

**【청구항 2】**

청구항 1에 있어서,

상기 RTA공정 및 RTO공정은 챔버내 온도가 섭씨 500도 내지 1000도인 박막 트랜지스터 제조 방법.

**【청구항 3】**

제 1 항에 있어서,

상기 RTA공정 및 RTO공정의 챔버내 진행시간은 60분이하인 박막 트랜지스터 제조 방법.

**【청구항 4】**

제 1 항에 있어서,

상기 RTO공정은 O<sub>2</sub>, N<sub>2</sub>O, NO 중 어느 하나의 가스로 이루어진 챔버내 분위기에서 진행되는 박막 트랜지스터 제조 방법.

**【청구항 5】**

제 1 항에 있어서,

상기 비정질 실리콘막 형성후 탈화수소 공정을 더욱 포함하는 박막 트랜지스터 제조 방법.

**【청구항 6】**

제 1 항에 있어서,

게이트 금속을 패터닝하여 게이트 전극을 형성하는 단계와;

상기 게이트 전극이 형성된 기판에 충간 절연막을 형성하는 단계와;

상기 충간 절연막이 형성된 기판에 n+, p+ 도핑을 하는 단계와;

상기 n+와 p+ 도핑된 기판상에 소스 및 드레인 전극을 형성하는 단계와;

1020020067120

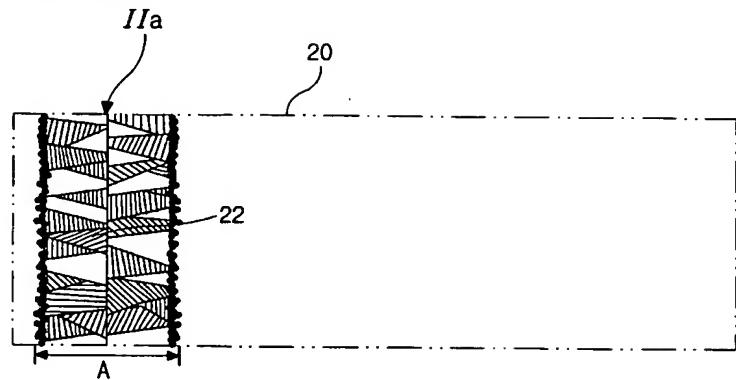
출력 일자: 2003/10/21

상기 소스 및 드레인 전극 위로 보호층을 형성하는 단계

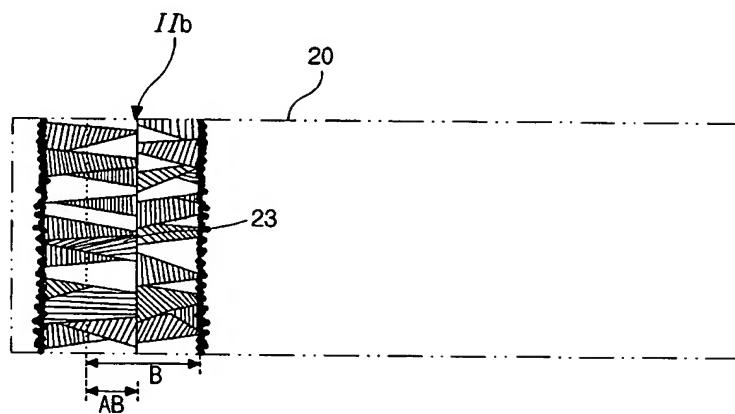
를 더욱 포함하는 박막 트랜지스터 제조 방법.

## 【도면】

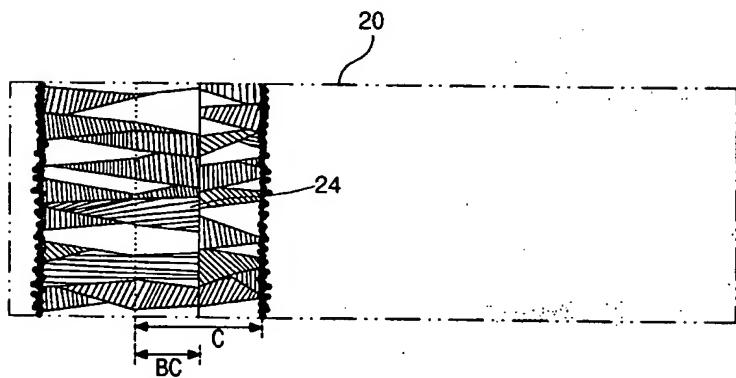
【도 1a】



【도 1b】



【도 1c】

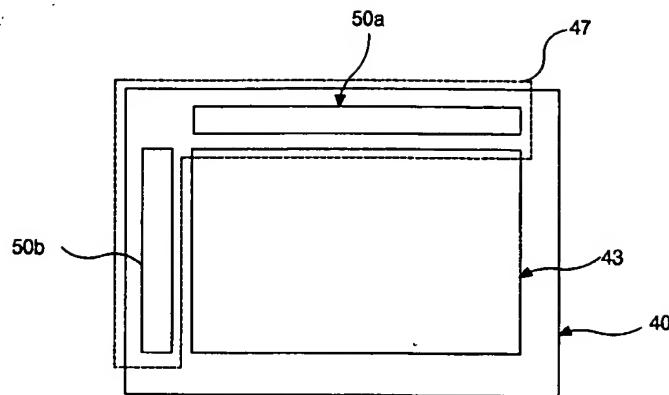




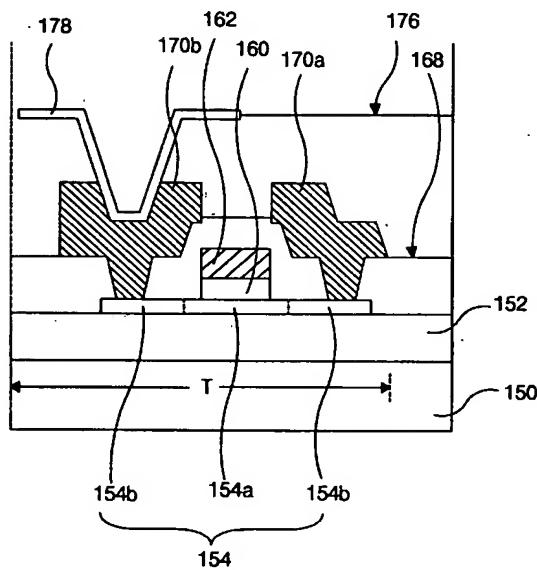
1020020067120

출력 일자: 2003/10/21

【도 2】



【도 3】

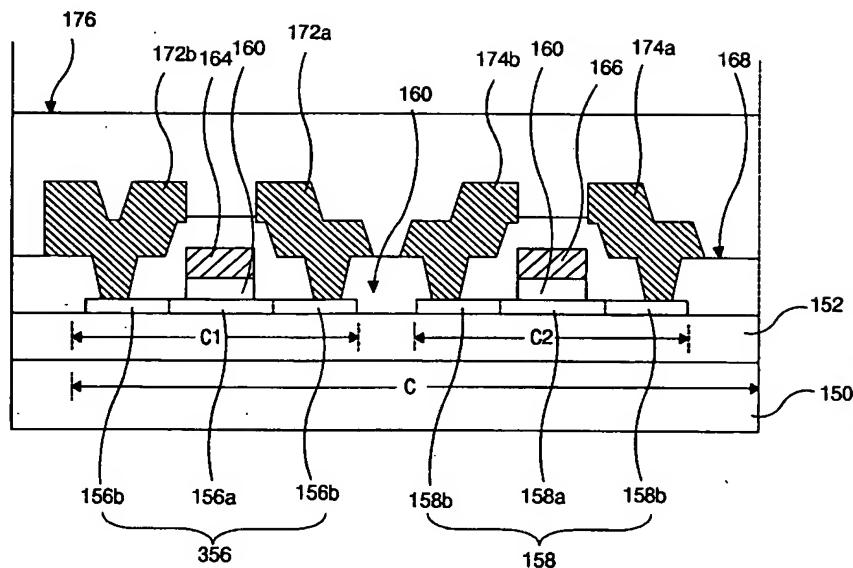




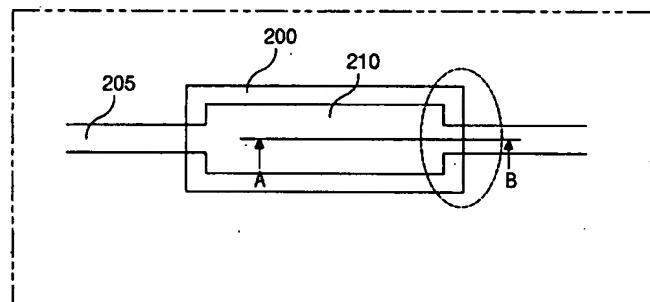
1020020067120

출력 일자: 2003/10/21

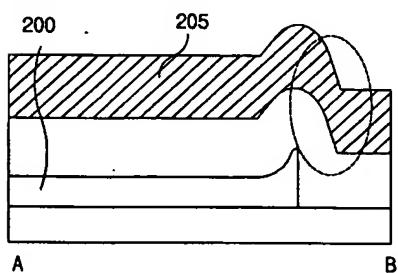
【도 4】



【도 5】



【도 6】

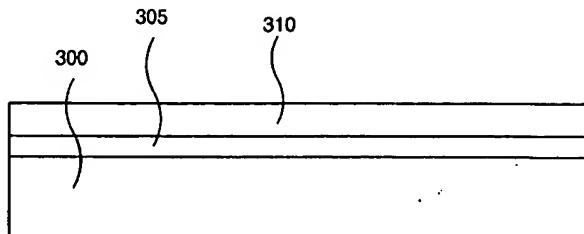




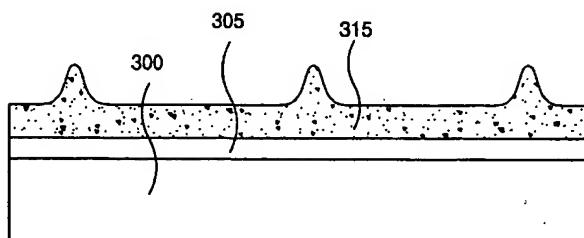
1020020067120

출력 일자: 2003/10/21

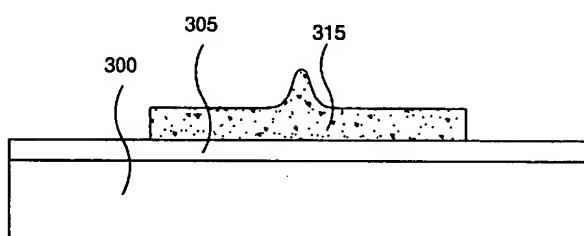
【도 7a】



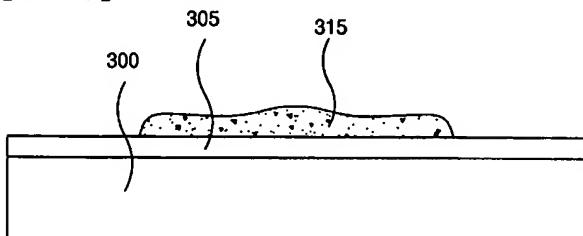
【도 7b】



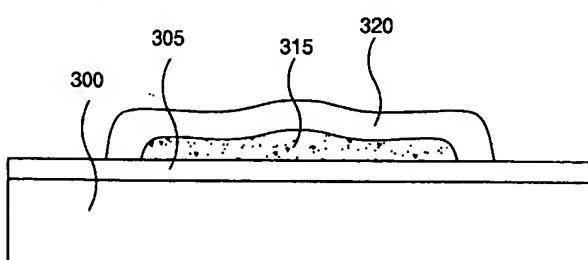
【도 7c】



【도 7d】



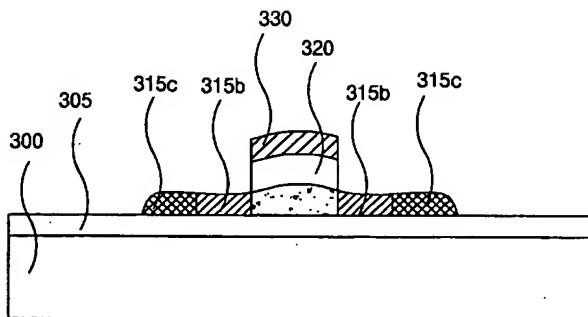
【도 7e】



1020020067120

출력 일자: 2003/10/21

【도 7f】



【도 7g】

